

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SANG-HYUN LEE, ET AL.

Application No.:

Filed:

For: **Digital Filter For Software-Defined Radio  
System, Digital Intermediate Frequency Signal  
Processing Apparatus Having The Digital Filter,  
and Method Thereof**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0079230	12 December 2002

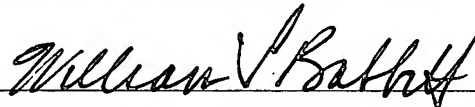
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 6/26/03

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

  
William Thomas Babbitt, Reg. No. 39,591



별첨 시본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0079230  
Application Number

출원 년 월 일 : 2002년 12월 12일  
Date of Application DEC 12, 2002

출원 인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



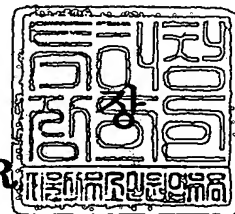
2003      년      06      월      17      일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.12.12
【발명의 명칭】	소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구 비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법
【발명의 영문명칭】	A DIGITAL INTERMEDIATE-FREQUENCY SIGNAL PROCESSOR AND DIGITAL FILTER SUPPORTING SOFTWARE-DEFINED RADIO SYSTEM AND ITS DESIGN
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-038431-4
【발명자】	
【성명의 국문표기】	이상현
【성명의 영문표기】	LEE, SANG HYUN
【주민등록번호】	770411-1785417
【우편번호】	604-812
【주소】	부산광역시 사하구 괴정1동 614-9 우신아파트 1동 706호
【국적】	KR
【발명자】	
【성명의 국문표기】	김광순
【성명의 영문표기】	KIM, KWANG SOON
【주민등록번호】	720920-1017317
【우편번호】	305-721
【주소】	대전광역시 유성구 신성동 하나아파트 109동 1203호
【국적】	KR

**【발명자】****【성명의 국문표기】**

김윤희

**【성명의 영문표기】**

KIM, YUN HEE

**【주민등록번호】**

740129-2446713

**【우편번호】**

302-749

**【주소】**

대전광역시 서구 월평3동 다모아아파트 110동 807호

**【국적】**

KR

**【발명자】****【성명의 국문표기】**

장경희

**【성명의 영문표기】**

CHANG, KYUNG HI

**【주민등록번호】**

620620-1067111

**【우편번호】**

302-772

**【주소】**

대전광역시 서구 둔산동 크로바아파트 104동 1409호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
유미특허법인 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

27 면 27,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

25 항 909,000 원

**【합계】**

965,000 원

**【감면사유】**

정부출연연구기관

**【감면후 수수료】**

482,500 원

**【기술이전】****【기술양도】**

희망

**【실시권 허여】**

희망

**【기술지도】**

희망

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 하나 이상의 통신 표준을 지원하는 통신 시스템에서 각 통신 표준의 사양에 맞는 디지털 중간 주파수 신호 처리기를 위한 수신단의 디지털 여파기에 관한 것으로서, 각 표준에 대한 여파기를 하나의 장치로 구성하고, 이 장치를 외부에서 설정할 수 있는 장치를 포함하는 것을 특징으로 한다. 이때, 하나의 장치로 구성되는 디지털 여파기는 기본 여파기 구성 블록에 의해 외부 입력 또는 내부 여파기 계수 계산 처리기에 의해 그 계수가 설정된다.

이를 통하여, 각 통신 표준에서 사용되는 디지털 여파기에 소요되는 공통 자원을 공유하여 나머지 추가로 소요되는 자원에 대해서만 선택적으로 설정하게 됨으로써, 전체 하드웨어의 비용이 크게 줄어들게 될 뿐만 아니라, 소요되는 공통 자원 계산시 동적 계획법을 이용하여 계산함으로써, 임의적으로 공유 자원을 계산하는 경우에 비해 상당히 적은 추가 자원을 필요로 하게 된다. 또한, 디지털 여파기 설계상의 계수 양자화 오차를 감소시키며 디지털 여파기를 구성할 수 있는 방법을 포함하므로 이론적으로 설계된 여파기의 성능과 구현된 여파기의 성능 차이를 감소시킬 수 있다.

**【대표도】**

도 3

**【색인어】**

소프트웨어 무선 시스템, 디지털 중간 주파수, 디지털 여파기

## 【명세서】

## 【발명의 명칭】

소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법{A DIGITAL INTERMEDIATE-FREQUENCY SIGNAL PROCESSOR AND DIGITAL FILTER SUPPORTING SOFTWARE-DEFINED RADIO SYSTEM AND ITS DESIGN}

## 【도면의 간단한 설명】

도 1은 다중 통신 표준을 지원하는 통신 시스템의 수신기 내의 RF, IF 처리기의 구조를 도시한 도면이다.

도 2는 다중 통신 표준을 지원하는 통신 시스템의 수신기의 디지털 IF 처리기와 디지털 하향 변환기의 구조를 도시한 도면이다.

도 3은 본 발명의 실시예에 따른 디지털 중간 주파수 대역 신호 처리 장치의 수신단 디지털 여파기의 구조를 도시한 도면이다.

도 4는 도 3에 도시된 재구성 제어기가 수신단 여파기 기본 구성부를 설정하는 방법을 설명하기 위한 도면이다.

도 5는 다중 통신 표준을 지원하는 수신단 디지털 여파기 구조를 잘못된 구조 개념에 따라 구성한 예를 도시한 도면이다.

도 6은 본 발명의 실시예에 따른 디지털 여파기의 자원 공유 구조를 도시한 도면이다.

도 7은 본 발명의 실시예에 따른 수신단 디지털 여파기의 구현 구조로 기본 블록을 설정하기 위한 계산을 위해 필요한 트렐리스(trellis)를 보여주는 도면이다.

도 8은 도 6의 계수 할당 원칙에 따른 도 7의 트렐리스를 적용한 설정 방법의 결과를 도시한 도면이다.

도 9는 도 8의 구성 방법을 트렐리스로 계산하는 방법으로 도시한 도면이다.

도 10은 제안된 계수 계산 방법을 위해 최종적으로 정의된 트렐리스를 도시한 도면이다.

도 11 내지 도 13은 도 10의  $c_{ji}$ 와 같이 주어진 비용 함수를 실제로 비용을 정의하는 방법에 대한 도시한 도면이다.

도 14는 비대칭적으로 기본 구성 블록을 설정하는 방법의 예를 도시한 도면이다.

도 15는 대칭적으로 기본 구성 블록을 설정하는 방법의 예를 도시한 도면이다.

※도면의 주요 부분에 대한 부호의 설명※

120, 140, 150 : 주파수 혼합기

130, 160 : 대역 통과 여파기

220 : 디지털 주파수 합성기

301 : 안테나

302 : RF 신호 처리기

303 : 아날로그-디지털 변환기

304 : 여파기 계수 입력기

305 : 여파기 계수 계산기

306 : 디지털 주파수 혼합기

307 : 수치 제어 발진기

308 : 재구성 제어기

309 : 수신단 여파기 기본 구성부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <23> 본 발명은 소프트웨어 무선(Software-Defined Radio) 기술의 물리 계층 기술에 관한 것으로서, 다양한 통신 표준의 사양을 지원할 수 있는 소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법에 관한 것이다.
- <24> 집적 회로 기술의 발달에 따라 디지털 신호 처리의 성능이 향상되고 그 비용이 줄어드는 장점으로 인해, 통신 시스템에서도 디지털 통신 처리의 영역이 커져 가고 있을 뿐만 아니라, 모뎀 설계에서도 디지털 신호 처리 영역이 확대되어 가고 있다.
- <25> 이러한 디지털 통신 처리 영역 중, 디지털 송수신 여파기는 대역이 제한된 통신 시스템에서 효과적으로 신호의 대역을 제한하고 신호의 파형을 성형함과 함께 인접 통신로에 의한 간섭(interchannel interference)을 차단하여 신호 파형 사이의 간섭(intersymbol interference), 즉 신호 파형의 겹쳐짐에 의해 발생하는 왜곡을 최소화 한다.
- <26> 또한, 최근에는 향상된 집적 회로 기술로 인해 송수신 여파기의 디지털화가 가능하게 되었는데, 이 중 응용 시스템에 따라 인접 신호 간 간섭을 발생시키지 않는 Nyquist 여파기를 수신단에만 사용하여 한 단으로 사용하는 방법과 송신단과 수신단으로 분리하여 두 단으로 사용하는 방법 등이 있다.
- <27> 자세히 설명하면, 전자의 Nyquist 여파기 설계는 Nyquist에 의해 처음으로 연구되었고 선형 위상을 가지는 유한 응답(FIR) 여파기로 쉽게 설계가 가능하다. 후자의 경우는 송



신단과 수신단의 여파기를 동시에 계산해야 하고 두 여파기의 주파수 응답의 곱셈에 대해 ISI가 없도록 하는 Nyquist 조건이 부가되므로 설계 문제가 복잡해지게 된다.

<28> 선형 위상을 갖는 유한 응답(FIR) 여파기는 시간 영역 충격 응답이 대칭적이므로 구현의 비용을 절반으로 절약할 수 있으며, 설계시에도 결정해야 할 계수의 개수가 절반으로 줄어든다는 장점 때문에 계산 시간을 절약할 수 있다. 또한, 선형 위상적 특징에 의해 주파수에 따른 그룹 지연(group delay)이 일정하게 주어지므로 디지털 통신 시스템에서도 심볼 동기화에 유리하고, 비선형 왜곡에 대해서도 상대적으로 유리하다. 이러한 유한 응답(FIR) 여파기는 VLSI(Very Large Scale Integrated, 이하 VLSI라 함)로 구현할 때 기본적으로 곱셈기와 덧셈기로 이루어진 구조를 갖는데, 고속의 응용 시스템에서 곱셈기는 복잡도의 측면이나 속도의 측면에서 바람직한 선택이 되지 못한다.

<29> 따라서, 디지털 여파기를 특정 응용에 대해 ASIC(Application Specific Integrated Circuit)화할 때는 곱셈기에 유연성이 필요 없으므로 좀 더 간단한 형태의 계수 구현을 위해 이산 계수 표현으로 여파기의 계수를 설계하는 것이 바람직하다.

<30> 이산 계수 표현, 특히 2의 거듭제곱( $1/2^N$ ) 계수의 합으로 이루어진 여파기 계수는 덧셈과 쉬프트(shift)에 의해 쉽게 구현되므로 하드웨어를 위한 비용을 줄일 수 있으며, 계수 양자화에 의해 발생하는 주파수 응답 왜곡을 막을 수 있다.

<31> 다음으로, 송신단과 수신단으로 분리되는 송수신 여파기의 경우에도 이산 계수를 갖도록 함으로써, 효율적인 VLSI 구현이 가능하다. 일반적으로 이산 계수를 갖는 여파기 설계 문제는 선형화될 수 있다면 항상 최적 해를 찾을 수 있다. 그러나, 본 문제는 비선형적

인 최적화 문제가 되므로 이산 해를 갖는 문제에 대한 각종 조합 최적화 알고리즘들을 이용하여 해결해야 한다.

<32> 이러한 디지털 여파기들을 이용한 소프트웨어 무선(Software-Defined Radio, 이하 SDR이라 함) 시스템의 기본 개념은 통신 시스템에서 안테나 단을 제외한 나머지 기능이 완전히 소프트웨어로 구동되어 모든 통신 기능을 재구성할 수 있는 무선 시스템을 의미한다. 이러한 범주의 시스템은 컴퓨터와 같은 개방형 구조 개념을 도입하여 송수신 단의 각 부분을 모듈화한 후, 모듈 사이의 인터페이스를 소프트웨어적으로 정의하여 각 통신 표준별로 소프트웨어의 교체만으로 다중 표준 통신기기를 구현하는 것을 목표로 한다.

<33> 따라서, 안테나 단에서 최대한 가까운 곳에서 디지털화 하여 물리 계층을 포함한 모든 프로토콜 스택이 소프트웨어적으로 정의되어 다중 대역, 다중 모드 통신 시스템 구현이 가능하다. 이를 실현하기 위한 기본 하드웨어는 광대역의 아날로그 라디오 주파수 송수신단(RF front-end)과 재구성 가능하고 처리 속도가 빠른 범용 디지털 프로세서 등이 요구된다. 무선 주파수(Radio Frequency)단에서 디지털화된 신호의 중간 주파수 대역(IF) 처리를 위해 디지털 하향 변환기(digital downconverter)를 사용하여 기저 대역으로 신호를 천이 시킨다. 수신 여파기는 디지털 하향 변환기에서 가장 중요한 부분으로 SDR의 기본 개념에 따라 각 통신 표준에 대해서 재구성 가능해야 한다.

<34> 이러한 특징의 SDR 시스템은 다중 통신 시스템 표준을 모두 지원하도록 하는 단말기를 바탕으로 하므로 모든 표준을 지원하기 위해서는 각각을 지원하기 위한 모든 자원을 포함할 수 있어야 한다.

<35> 그러나, 각 표준에 대한 하드웨어를 모두 포함하게 되면 그에 따른 비용과 복잡도의 측면에서 적절한 선택이 되지 못한다. 이런 점을 해결하기 위해 SDR 시스템은 디지털

신호 처리(DSP)가 중요한데, 이러한 DSP를 도입함으로써 기존의 아날로그 기술보다 유연성과 성능 개선을 이룰 수 있다. 즉, SDR 시스템의 물리계층 구현을 위해서는 초고주파(RF), 중간 주파수(IF) 및 기저 대역에 대한 재구성 가능성을 도입할 수 있어야 하므로 디지털 중간 주파수 신호 처리단이 필요하다.

<36> 이러한 디지털 중간 주파수 신호 처리와 관련된 기술로는 권리권자가 (주)현대전자산업인 [특허명칭 : 중간 주파수 공유 듀얼 모드 이동 단말기, 등록번호 : 10-1999-26632호]의 특허가 있는데, 이는 주파수 혼합기를 공유하도록 주파수를 정의하고 대역 통과 여파기와 중간 주파수 처리기를 공유함으로써, 소형으로 아날로그 중간 주파수 처리기를 구현하고자 한다.

【발명이 이루고자 하는 기술적 과제】

<37> 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하기 위한 것으로서, 최소한의 하드웨어를 통해 재구성할 수 있는 수신 여파기가 각 통신 표준에 대해 디지털로 구현됨으로써, 하드웨어 자원을 서로 공유도록 할 수 있을 뿐만 아니라, 최대한의 공유를 통해 디지털 송수신 여파기의 전체 하드웨어 비용을 줄일 수 있는 소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법을 제공하기 위한 것이다.

<38> 또한, 본 발명은 이산 계수를 갖는 선형 위상의 유한 응답(FIR) 수신 여파기를 설계하기 위해 조합 최적화 알고리즘들을 사용하여 여파기 계수를 계산하는 방법을 포함하는 여파기 구조와 각 통신 표준의 사양에 맞도록 디지털 송수신 여파기의 구성을 계산하는 비용을 최소화할 수 있는 소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법을 제공하기 위한 것이다.

# 【발명의 구성 및 작용】

<39> 이러한 목적을 달성하기 위한 본 발명에 따른 디지털 중간 주파수 대역 신호 처리 장치는, 소프트웨어(SOFTWARE)를 통해 구동하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치에 있어서, 디지털 변환된 중간 주파수 신호가 수신되면, 상기 수신된 중간 주파수 신호를 기저 대역 신호로 변환하는 디지털 주파수 혼합기; 상기 변환된 기저 대역 신호에서 고대역 신호를 제거하도록 하는 수신단 여파기; 상기 수신단 여파기의 설정을 제어하여 다수의 통신 표준을 지원하도록 하는 수신 여파기 구성부; 상기 수신 여파기 구성부의 설정을 제어하는 설정 제어기; 및 상기 설정 제어기로부터 상기 수신단 여파기 사양과 관련된 정보가 수신되면, 상기 수신된 정보를 이용하여 상기 수신단 여파기의 계수를 계산한 후, 상기 계산된 수신단 여파기 계수를 상기 설정 제어기로 제공하는 여파기 계수 계산기를 포함하는 것을 특징으로 한다.

<40> 또한, 본 발명의 다른 특징에 따른 디지털 여파기는, 다수의 통신 표준에 대한 여파기 계수를 동시에 수용하도록 하는 다중화기; 계수를 곱셈하는 여파기 계수 곱셈기; 차수에 해당하는 레지스터; 및 연산을 수행하는 합산기를 포함하며, 다수의 통신 표준에 따라 공통된 자원은 공유하고, 그 외 추가로 소요되는 자원은 스위칭을 통해 선택할 수 있도록 구성되어 있는 것을 특징으로 한다.

<41> 또한, 본 발명의 다른 특징에 따른 디지털 중간 주파수 대역 신호 처리 방법은, 소프트웨어(SOFTWARE)를 통해 구동하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법에 있어서, a)디지털 변환된 중간 주파수 신호가 수신되면, 상기 수신된 중간 주파수 신호를 기저 대역 신호로 변환하는 단계; b)상기 변환된 기저 대역 신호에서 고대역 신호를 제거하는 단계; c)상기 b)단계를 수행하는 수신단 여파기의 설정을

제어하여 다수의 통신 표준을 지원하도록 하는 단계; d)상기 c)단계를 수행하는 수신 여파기 구성부의 설정을 제어하는 설정 제어기로부터 상기 수신단 여파기 사양과 관련된 정보가 수신되면, 상기 수신된 정보를 이용하여 상기 수신단 여파기의 계수를 계산하는 단계; 및 e)상기 계산된 수신단 여파기 계수를 상기 설정 제어기로 제공하는 단계를 포함하는 것을 특징으로 한다.

<42> 또한, 본 발명의 다른 특징에 따른 소프트웨어(SOFTWARE)를 통해 구동하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법을 포함하는 기록매체에 있어서, a)디지털 변환된 중간 주파수 신호가 수신되면, 상기 수신된 중간 주파수 신호를 기저 대역 신호로 변환하는 기능; b)상기 변환된 기저 대역 신호에서 고대역 신호를 제거하는 기능; c)상기 b)단계를 수행하는 수신단 여파기의 설정을 제어하여 다수의 통신 표준을 지원하도록 하는 기능; d)상기 c)단계를 수행하는 수신 여파기 구성부의 설정을 제어하는 설정 제어기로부터 상기 수신단 여파기 사양과 관련된 정보가 수신되면, 상기 수신된 정보를 이용하여 상기 수신단 여파기의 계수를 계산하는 기능; 및 e)상기 계산된 수신단 여파기 계수를 상기 설정 제어기로 제공하는 기능을 포함하는 프로그램이 저장된 기록매체를 특징으로 한다.

<43> 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시예를 상세히 설명하면 다음과 같다.

<44> 도 1은 본 발명의 실시예에 따른 다중 표준을 지원하기 위한 수신기 내의 전반부(front-end)(100) 구조를 도시한 도면이다.

- <45> 일반적으로 개인 사용자의 단말기의 경우 안테나 이후의 신호 처리는 비용과 복잡도의 절약이 대단히 중요하므로 디지털 하향 변환(digital down-conversion)이 시도되고 있다. 여러 표준에 대한 RF(Radio Frequency, 이하 RF라 함) 신호를 수신하기 위해서는 광대역 안테나(110)가 필요하고 각 수신 신호별로 RF 대역이 다르므로 공통된 대역으로 천이시키는 주파수 혼합기(120)(140)(150), 이때 수신 신호의 대역폭에 따라 다른 종류의 대역 통과 여파기(130)(160)를 사용한다.
- <46> 도 1은 비동기식 3세대 이동 통신 표준인 3GPP와 동기식 3세대 이동 통신 표준인 3GPP2, 그리고 2.5세대로 여겨지는 CDMA 이동 통신 표준인 IS-95, 유럽의 TDMA 이동통신 표준인 GSM를 지원하는 시스템을 위한 수신기 내의 전반부(front-end)(100) 구조이다.
- <47> 각 표준 별로 송수신 여파기가 주어져야 하는데 3GPP의 경우, 표준에서 주어진 자승근 코사인 여파기(root raised cosine filter)를 2의 누승 계수로 표현하는 방법을 이용하여 설계할 수 있고, IS-95와 3GPP2의 경우는 광대역 신호를 갖는 3GPP2는 역 방향 호환성(backward compatibility)을 만족하기 위해 IS-95의 수신 단 여파기 사양을 그대로 사용하므로 IS-95에 대한 디지털 여파기가 필요하다.
- <48> 만약, 3GPP2에서 3개의 다중 반송파를 이용하는 3X 모드를 사용하는 경우에는 보간(interpolation) 방법을 이용하면 동일한 여파기를 그대로 사용할 수 있다.
- <49> 기술적인 측면에서 RF는 아날로그 영역에서 동작을 수행하고 일반적으로 유연성을 갖는 구조를 갖기 어려우므로 IF 단의 직전에서 디지털 변환을 수행하여 디지털 하향 변환기(180)를 수용할 수 있게 한다. 디지털 하향 변환시에 디지털 신호 처리를 간단히 하도록 하는 표본화 주파수를 결정해야 하며 주파수는 아래의 [수학식 1]과 같이 표본화

주파수를 IF 주파수의 4배로 하는 것이 디지털 주파수 혼합기의 구조를 간단하게 하는 장점을 가진다. 즉, 정현 함수의 값이 -1, 0, 1만으로 한정되므로 곱셈기가 없어지게 된다.

<50> 【수학식 1】  $f_s = 4 \times f_H$

<51> 도 2는 수학식 1의 방법을 이용하여 구성된 디지털 하향 변환기(180)의 세부 구조를 도시한 도면이다.

<52> [수학식 1]로부터 다하향 변환을 위한 디지털 주파수 합성기(220)가 간단한 형태로 바뀌어 곱셈기(221)가 단순한 스위칭과 부호 전환기로 대체된다. 다음으로 여러 표준을 지원하는 송수신 여파기가 최적화되어야 한다. 소프트웨어 무선 기술의 물리 계층 구현에 관련한 문제에서 하드웨어의 재구성 가능성(programmability)을 극대화시켜야 하는데, 이 때문에 디지털 여파기에 관련된 구현 문제에서 구현의 간편성과 이론 계산 결과와 구현 결과의 성능의 차이를 줄이도록 하기 위해 유한 응답(FIR) 여파기가 선호된다.

<53> 유한 응답(FIR) 여파기는 선형 위상(linear phase) 여파기로 설계하게 되면 통신로(channel) 상에서 발생하는 왜곡(distortion) 현상의 보상이 용이하고 안정성(stability)이 보장된다는 기능적 특징과 함께 대칭적 구조(symmetrical structure)나 하드웨어의 시간 분배(time multiplexing)등의 기법을 사용할 수 있으므로, 일정한 구성 블록으로 구현이 가능하도록 하게 하는 구현의 정규성(regularity)을 갖게 할 수 있는 장점이 있다.

- <54> 따라서, 송수신 여파기를 위해 유한 응답(FIR) 여파기의 구현에 대한 구조를 고려한다. 여러 표준을 지원하기 위한 수신기가 수신할 수 있는 각 표준에 대한 수신 신호는 각각에 대해 구체적으로 설계된 IF단 수신 여파기를 통과한다. 각 표준마다 여파기 사양이 다르게 주어지므로 여파기 계수의 길이나 여파기의 계수 값의 분포가 조금씩 다른 경향을 가진다. 그러므로 각 표준 별로 여파기를 설계하여 구현하게 되면 수신기가 각각의 하드웨어를 모두 포함해야 하므로 대단히 비효율적인 구조가 된다. 따라서, 가능한 적은 비용으로 모든 사양을 수용할 수 있기를 요구하게 된다.
- <55> 도 3은 본 발명의 실시예에 따른 디지털 중간 주파수 대역 신호 처리 장치의 수신단 디지털 여파기의 구조를 도시한 도면이다.
- <56> 도 3을 참조하면, 본 발명의 실시예에 따른 디지털 중간 주파수 대역 신호 처리 장치의 수신단 디지털 여파기는 안테나(301), RF 신호처리기(302), 아날로그-디지털 변환기(303), 외부 여파기 계수 입력기(304), 여파기 계수 계산기(305), 디지털 주파수 혼합기(306), 수치 제어 발진기(307), 재구성 제어기(308), 수신단 여파기 기본 구성부(309) 및 기저대역 프로세서(310)를 포함한다.
- <57> 이러한 구조를 이루는 수신단 디지털 여파기에 대해 자세히 설명하면, 안테나(301)로부터 수신된 신호는, 도 1의 1차 RF 하향 변환기(120), 1차 RF 아날로그 여파기(130), 2차 RF 하향 변환기(140), 2차 하향 변환 발진기(150), 2차 RF 아날로그 여파기(160)를 하나의 블록으로 표현한 RF 신호처리기(302)를 통과하여 아날로그 IF 신호로 변환된다.
- <58> 변환된 신호를 디지털 변화하기 위해 아날로그-디지털 변환기(303)에서 디지털 변환하고, 도 2의 간략화된 주파수 혼합기(202)의 특성을 가지는 디지털 주파수 혼합기(306)에 의해 기저 대역 신호로 변환된다. 디지털 주파수 혼합기(306)는 디지털 주파수



의 정현 함수값을 계산하기 위한 수치 제어 발진기(307)로부터 입력을 받는다. 기저 대역으로 전환된 신호로부터 고대역 신호를 제거하기 위한 수신단 여파기(309)는 도 2의 여러 표준을 지원하는 구조(230)를 특징으로 하도록 기본 구성블록 형태로 구성되어 있고, 하드웨어 구성의 지시를 담당하는 재구성 제어기(308)로부터 발생된 제어 입력에 의해 설정이 가능하도록 한다.

<59> 재구성 제어기(308)는 수신단 여파기(309)로 여파기 계수를 전달하기 위해 여파기 계수 계산기(305)로부터 입력을 받을 수 있게 하였고, 외부 입력으로부터 여파기 계수를 직접 입력을 받을 수 있도록 하기 위해 외부 여파기 계수 입력기(304)로부터 입력을 받을 수 있다.

<60> 따라서, 본 발명에서 제안하는 수신단 디지털 여파기의 구조는 외부 여파기 계수 입력기(304), 여파기 계수 계산기(305), 디지털 주파수 혼합기(306), 수치 제어 발진기(307), 재구성 제어기(308) 및, 수신단 여파기 기본 구성부(309)를 포함하는 것을 특징으로 한다.

<61> 도 4는 도 3에 도시된 재구성 제어기가 수신단 여파기 기본 구성부를 설정하는 방법을 설명하기 위한 도면으로서, 각 표준별 요구되는 여파기를 공통으로 수용하기 위한 원칙을 도시한 도면이다.

<62> 따라서, 각 수신단 여파기를 각자의 사양에 맞게 실제로 설계하게 되면 여파기들의 길이는 서로 다르게 된다. 그러므로 수신단 여파기마다 소비되는 하드웨어의 비용이 모두 다르게 되지만 여파기의 길이가 가장 긴 여파기(430) 경우, 가장 많은 자원을 요구하게 되는데 수신기가 해당 통신 표준을 포함하기 위해서는 반드시

시 필요한 자원이 된다. 따라서, 전체 소요되는 여파기 하드웨어 비용을 줄이기 위해 생각할 수 있는 방법은 길이가 상대적으로 짧은 여파기들(410)(420)이 길이가 긴 여파기(430)의 자원을 이용할 수 있도록 긴 여파기(430)의 자원 안에 포함시켜 공통된 자원을 공유하는 방법을 생각할 수 있다. 이로 인해, 본 발명의 실시예에서는 여러 종류의 표준이 존재할 경우, 도 4와 같은 디지털 여파기의 구조를 생각할 수도 있다.

<63>        도 5는 도 4의 원칙을 부적절하게 적용했을 때 발생할 수 있는 잘못된 구성을 도시한 도면으로서, 긴 여파기 내에 짧은 여파기의 계수를 집어넣어 공유하는 방법을 생각할 때, 긴 여파기의 길이를  $N_{long}$ 라고 하고 짧은 여파기의 길이를  $N_{short}$ 라고 하면, 전체 가능한 경우의 수는,  $N_{long}!/(N_{long}-N_{short})!$  가지이다.

<64>        그러나, 이 경우에는 짧은 여파기 계수의 순서가 바뀌는 것을 허용하였으므로 하드웨어 비용을 최소화할 수 있다 하더라도 긴 여파기와는 다른 순서로 계산이 이루어져야 하는 상황이 발생한다.

<65>        이때,  $c_i$ 로 표시된 각 블록들(501)(502)(503)(504)(505)은 긴 여파기  $S_1$ 의 계수를 계산하기 위한 기본 구성 블록을 나타내고 점선에 둘러싸인 블록(501)(503)(504)은 짧은 여파기  $S_2$ 가 사용하는 기본 구성 블록이다. 두꺼운 선은 짧은 여파기  $S_2$ 를 위한 신호가 여파기 내부를 흘러가는 경로를 의미하는데, 도 5의 경우, 신호가 뒷부분에서 처리된 후 다시 앞부분으로 돌아오게 되므로 데이터 버스 구현의 정규성을 잃게 되어 적절한 방법이 될 수 없다.

<66>        도 6은 본 발명의 실시예에 따른 디지털 여파기의 자원 공유 구조를 도시한 도면으로서, 앞서 언급한 바와 같이 짧은 여파기  $S_2$ 의 계수를 공유할 때 그 순서를 바꾸지 않

도록 하는 추가적인 제한 조건을 부가할 수 있다. 이를 통하여 높은 차수의 계수를 통과하고 다시 낮은 차수의 계수를 통과하게 되는 경우를 방지할 수 있다.

<67> 이러한 조건을 부여하여 각 여파기를 구현하고 각각에 대한 기본 구성부를 구체적으로 표현하면, 여파기 계수 곱셈기(601)(602), 여파기의 각 차수에 해당하는 레지스터 기억 장치(604)(605), 여파기 연산을 위한 합산기(606), 여러 표준에 대한 여파기 계수를 동시에 수용하기 위한 다중화기(MUX)(603)로 구성될 수 있다.

<68> 이러한 기본 구성부는 도 6과 같이, 그림자가 없는 부분(602)(605)(606)은 긴 여파기에서만 사용되며, 그림자가 있는 부분(601)(604)은 짧은 여파기에 의해 사용되는 자원을 나타낸다. 다중화기(603)는 설정 제어기의 지시에 따라 여러 표준 중에서 하나의 표준에 대한 여파기 설정을 선택하게 된다.

<69> 또한, 여파기 계수의 계산에 있어서도 공통적으로 사용될 수 있는 자원은 분배해서 구현하게 되므로 짧은 여파기의 연속한 두 차수에 대한 계수가 할당되는 긴 여파기의 계수가 서로 연속적이지 않을 경우, 즉 짧은 여파기가 레지스터(605)를 사용 할 필요가 없을 경우에 다중화기(607)를 사용하게 된다.

<70> 그러므로, 추가적으로 다중화기에 대한 하드웨어가 소요되지만 계수 계산 자원의 공유를 통해서 얻게 되는 하드웨어의 절약 분이 적어도 한 개의 합산기 이상이 되도록 하면, 다중화기에 비해 합산기의 비용이 대략적으로 2~4배이므로 실제로는 하드웨어의 절약을 이룰 수 있게 된다.

<71> 따라서, 제안하는 여러 표준의 수신단 여파기의 구현 구조는 도 6과 같이 정리할 수 있으며, 본 발명에서 제안하는 중간 주파수 대역 수신 여파기의 구현 원칙은 다음과

정리할 수 있다. 하지만 이는 본 발명에 한정되는 것이 아니고, 그 외 다른 구현 원칙에 따라 정리할 수도 있다.

<72> 자세히 설명하면, 모든 여파기는 이산 계수를 가지는 유한 응답 여파기로 설계하여 재구성이 가능하도록 한다. 각 여파기 계수들은 2의 누승 항의 합과 차로 이루어져 있고 쉬프트와 덧셈으로 구현하며 공통된 계수의 쉬프트와 덧셈 자원을 공유하고 약간의 덧셈과 쉬프트의 추가로 표준에 상관없이 모든 계수를 구현하도록 하는 기본 구성 블록을 갖는다. 이러한 원칙을 바탕으로 길이가 긴 여파기의 계수에 대해 짧은 길이의 여파기의 계수를 할당하여 공유할 수 있는 자원을 최대화하도록 한다. 이렇게 구성한 여파기의 계수들은 각 표준에 따라 동작을 할 수 있도록 다중화기와 같은 선택 기능을 추가하여 설정 제어기의 명령에 따라 각 여파기들이 정상적으로 동작할 수 있도록 연결한다.

<73> 여파기 계수의 구현 순서를 바꾸지 않는다는 제한 조건이 부가되면 전체 계수 할당의 가지 수는,  $N_{\text{long}}! / \{N_{\text{short}}!(N_{\text{long}} - N_{\text{short}})!\}$ 가 된다.

<74> 그러나, 일반적인 유한 응답 여파기의 길이는 60~200 정도로 충분히 길고 각 표준에 따른 두 여파기의 길이의 차가 10이상이 된다면 그 가지 수는 산술적으로 대단히 많아짐을 알 수 있다.

<75> 따라서, 모든 경우를 탐색하는 것이 사실상 불가능하거나 상당한 계산 부하를 요구하게 되므로, 이 과정을 효과적으로 수행하는 방법을 가지는 설정 제어기가 필요하다.

<76> 도 7은 본 발명의 실시예에 따른 설정 제어기가 포함하게 되는 계수 할당 방법을 적용하기 위해 필요한 격자도(trellis)를 도시한 도면이다.

- <77> 여파기 계수의 자원을 적절히 분배와 같은 자원 분배를 위해 사용할 수 있는 방법으로 동적 계획법(dynamic programming)이 있다. 도 6의 설명에서 부가한 계수의 순서를 유지해야 한다는 조건에 의해 계수 할당 방법을 동적 계획법으로 문제화 할 수 있다. 동적 계획법을 수행하기 위해서는 트렐리스(trellis, 이하 트렐리스라 함)를 구성해야 하는데, 이러한 트렐리스를 구성하는 방법이 바로 도 7이다.
- <78> 여기서,  $b_n$ 은 짧은 여파기의 계수이며,  $L$ 은 여파기의 길이,  $a_n$ 은 긴 여파기의 시간 응답,  $N$ 은 여파기의 길이이다.
- <79> 트렐리스의 각 단계는 짧은 여파기의 각 계수가 할당되는 단계를 나타내고 각 단계에 대한 상태(702)들은 짧은 여파기의 계수가 할당될 수 있는 가능한 긴 여파기의 계수를 의미한다.
- <80> 예를 들면, 짧은 여파기의 길이가 3, 긴 여파기의 길이가 5이고 순서를 유지하도록 하는 제한 조건이 있을 때 짧은 여파기의 첫 번째 계수는 긴 여파기의 첫 번째 계수부터 세 번째 계수까지만 할당될 수 있다. 그렇지 않으면 짧은 여파기의 나머지 계수들 중에서 긴 여파기에 할당될 수 없는 계수가 생기기 때문이다.
- <81> 따라서, 짧은 여파기의 첫 번째 계수가 할당될 수 있는 긴 여파기의 계수의 차수는 0부터  $N-L$ 까지가 되고 일반적인  $i$ 번째 짧은 여파기의 계수는  $i$ 부터  $N-1+i$ 까지의 긴 여파기의 차수를 갖는 계수에 할당될 수 있다. 이러한 방법을 통해서 트렐리스의 모든 상태(701)(702)(703)를 정의할 수 있다.
- <82> 이와 같이, 상태가 정의되었으면 가지(704)를 정의해야 하는데, 각 단계의  $i$ 번째 상태는  $i$ 개의 가지를 수용한다. 그 이유는 만약 짧은 여파기의 두 번째 계수가 긴 여파

기의 세 번째 계수로 할당되었다면, 짧은 여파기의 첫 번째 계수는 긴 여파기의 첫 번째와 두 번째 계수에만 할당될 수 있기 때문이다. 그러므로 도 7과 같은 트렐리스가 된다.

<83> 도 8은 도 6의 계수 할당 원칙에 따른 도 7의 트렐리스를 적용한 설정 방법의 결과를 도시한 도면이다.

<84> 도 8에서 짧은 여파기의 각 계수는 순서대로 긴 여파기의 첫 번째, 세 번째, 다섯 번째, 일곱 번째 계수에 할당되었음을 의미한다. 이렇게 할당된 계수들은 각 계수들을 계산하기 위한 기본 구성 블록으로 해체되어 공유 가능한 부분과 공유가 불가능한 부분으로 나누어지고 다중화기가 추가되어 선택 가능한 구조가 된다.

<85> 도 9는 도 7의 트렐리스를 적용한 동적 할당 방법을 이용하여 도 8의 예의 결과를 얻게 될 때 진행되어온 탐색 과정의 예를 도시한 도면으로서, 이러한 탐색 과정은 동적 계획법을 바탕으로 한다.

<86> 자세히 설명하면, 동적 계획법은 단계적으로 자원을 할당하면서 자원 할당이 최적일 될 가능성이 없는 후보들에 대한 가지(920)를 쳐서 최종적으로 가장 적은 자원을 가지고 끝까지 진행된 할당 패턴으로 자원을 할당하는 방법이다. 아무 자원도 할당되지 않은 시작점(911)으로부터 탐색을 시작하여 각 상태(910)에 대해 모인 가지 중에서 최소 자원을 갖는 가지(921)(922)만 살리고 나머지는 쳐낸다. 그러한 방법으로 최종적으로 얻어진 굵은 선으로 표시된 가지(921)에 걸려있는 각 상태가 짧은 여파기가 할당되는 긴 여파기의 계수가 된다. 도 7과 같이 트렐리스의 구성 후에 탐색을 수행하기 위해 마지막으로 결정해야 할 것은 각 가지에 대한 비용이다. 비용이 정의된 전체 트렐리스의 모양은 도 10과 같다.

- <87> 도 10은 최종적으로 비용 함수가 정의된 트렐리스의 구조를 도시한 도면으로서, 여기서 정의된 비용  $c_{j_i}$ 이 의미하는 것은 짧은 여파기의  $i$ 번째 계수가 다음 단계의  $j$ 번째 상태로 갈 때 소요되는 비용 함수를 의미한다.
- <88> 그러므로, 임의의 단계의 각 상태에서 만나게 되는 경로들은 모두 같은 할당 방법을 나타내므로 가지 비용(branch cost)이 모두 동일하게 된다. 따라서, 각 상태에서는 상태 천이(transition) 이전 상태까지의 총 경로 비용(path cost)만을 관찰하여 생존자를 결정할 수 있으므로, 계산량이 보통의 동적 계획법보다 낮다.
- <89> 도 11 내지 도 13은 도 10의  $c_{j_i}$ 와 같이 주어진 비용 함수를 실제로 비용을 정의하는 방법에 대한 도시한 도면이다.
- <90> 만약 두 개의 여파기가 합쳐지지 않았을 때 필요하게 될 전체 하드웨어 비용에서 공유된 두 여파기의 계수를 구현하는데 소요되는 하드웨어 비용을 뺀 비용은 두 개의 계수를 공유하면서 얻게 된 하드웨어 비용의 절약 분을 나타낸다.
- <91> 따라서, 절약 분을 최대로 하는 경로를 추적하여 이를 이용해서 짧은 여파기의 계수를 긴 여파기의 계수에 할당한다. 하지만, 하드웨어 비용의 절약 분을 구하기 위해서는 공통 구현된 계수의 비용을 결정해야 하는 문제가 있다. 이러한 공유 구조의 비용을 구하기 위해서는 같은 패턴을 가지는 자원끼리 정합시키는 방법에 대한 고려가 필요하다.
- <92> 도 11은 가장 간단한 계수 공유 방법을 도시한 도면으로서, 쉬프트(1101)와 합산기(1102)만을 이용하여 구현한 짧은 여파기의 계수( $2^{-2}+2^{-4}+2^{-6}$ )와 긴 여파기의 계수( $2^{-3}+2^{-5}+2^{-7}$ )를 하나의 계수로 나타낸 구조이다.

- <93> 자세히 설명하면, 다중화기(1103)는 짧은 여파기와 긴 여파기의 사용 여부에 따라 계수를 설정 제어기에서 선택할 수 있도록 하기 위해 사용하며, 만약, 두 여파기의 계수가 완전히 일치하면 다중화기(1103)가 필요 없게 되어 하드웨어를 가장 많이 줄일 수 있다.
- <94> 따라서, 도 11의 경우 두 계수 사이에는 공통적인 쉬프트(1101)가 없다. 일반적으로 쉬프트 k개를 공유하면 합산기 k개를 줄일 수 있다. 도 11의 조합은 트렐리스 탐색에서 가치가 쳐지게 되는 조합이 된다.
- <95> 만약, 도 12와 같은 조합을 만들어낼 수 있다고 한다면 7비트 쉬프트(1201),  $2^{-7}$ 을 공유하여 합산기 1개를 절약할 수 있게 된다. 이와 같은 방법으로 같은 종류의 쉬프트(1201)를 공유시킴으로써 합산기를 절약하게 된다. 비록 데이터 버스를 위한 추가적인 다중화기(1202)가 소요되더라도 합산기의 감소를 많이 이루어 낼 수 있게 된다면 전체 시스템의 하드웨어 비용은 절약되게 된다.
- <96> 공통 자원 공유 방법과 함께 부 표현 공유(sub-expression sharing) 방법도 함께 적용할 수 있다. 2의 누승 계수 표현 중에서 가장 대표적인 CSD 계수 표현에서 두 개의 인접한 자리 수에 대해 1의 값을 가질 수 없다는 특징 때문에, 즉  $2^{-3}+2^{-4}$ 와 같은 조합을 허락하지 않는 특성 때문에  $2^{-i}+2^{-i+2}$ 와 같은 조합이 여파기의 계수 내에서 자주 발생하는 경향을 나타낸다.
- <97> 따라서, 이들 두 항과 합산기 하나를 한 개의 그룹으로 하여 이 그룹을 공유하도록 계수를 할당하는 방법을 부 표현 공유 방법이라고 정의하도록 한다.



- <98> 도 13은 부 표현 공유 방법을 이용한 구현의 예를 도시한 도면으로서, 도 12의 계수 구현의 예에 대해서 부 표현 공유를 수행한 결과이다.
- <99> 즉,  $2^{-4}+2^{-6}$ 은  $2^{-3}+2^{-5}$ 를 한 칸 쉬프트시킨 결과와 같다. 따라서, 합산기(1302)와 쉬프트가 각각 1개와 2개가 줄었고 쉬프트가 다시 한 개 추가되어 최종적으로 2개의 덧셈과 2개의 쉬프트를 절약하는 효과를 얻을 수 있다.
- <100> 이러한 비용 절약 효과는 계수 표현의 정밀도가 높을수록 크게 나타나므로 계수 표현이 복잡한 여파기일수록 많은 부분이 공유된다. 이 방법으로부터 합쳐진 하드웨어의 비용을 구할 수 있으므로 각각 따로 구현했을 때 요구되는 전체 하드웨어의 비용으로부터 합쳐진 계수의 하드웨어 비용의 차를 구해서 공유된 분량을 구할 수 있게 된다. 이로부터 덧셈과 쉬프트의 개수를 전력이나 복잡도에 대한 비용 함수로 정의해서 전체 비용을 정의한다.
- <101> 트렐리스 탐색을 위한 모든 조건이 정리되었으므로 트렐리스 탐색을 수행하면 최종 생존 가지는 짧은 여파기가 할당되도록 하는 긴 여파기의 계수를 결과로 얻게 된다. 그리고 최종적으로 얻어진 경로 비용은 전체 절약 분을 나타내고 이로부터 전체 비용을 구할 수 있다.
- <102> 본 할당 방법을 통해서 각 단계의 비용이 독립적으로 정의되므로 가능한 모든 조합에 대해 탐색을 수행하게 되어 구해진 해는 최적해라는 것을 보장할 수 있다. 지원하는 표준이 두 개 이상일 때는 이 방법을 순차적으로 적용할 수 있는 설정 제어기가 있으면 된다.

- <103>      설정 제어기에서 수행해야 할 전체적인 할당 방법을 정리하면 다음과 같다. 짧은 여파기 길이 만큼의 단계를 갖는 트렐리스를 구성한다. 트렐리스는 도 10의 형태로 한다. 두 여파기 계수 사이의 관계로부터 공통으로 구현될 때의 전체 비용을 구해서 각각 따로 구현했을 때의 하드웨어 비용으로부터 2의 결과를 뺀다. 그리고 이것을 도 10의 방법으로 트렐리스의 각 상태에 대해  $c_j$ 로 정의한다. 트렐리스로부터 가장 많은 자원이 절약되는 할당을 구해낸다. 최종적으로 얻어진 생존자로부터 짧은 여파기의 계수가 할당되어야 할 큰 여파기의 계수를 구한다. 얻어진 결과를 바탕으로 도 2와 도 3의 방법을 이용해서 구현 구조를 결정한다.
- <104>      설정 제어기에서 수행해야 할 여파기의 계수 할당에 추가적으로 제한 조건을 추가하여 구현을 간편하게 할 수 있는데, 선형 위상 유한 응답 여파기의 경우 계수 구조가 대칭적이므로 계수 할당을 절반의 계수에 대해서만 수행할 수 있다. 이러한 방법의 예로도 14와 도 15에 나타내었다.
- <105>      이와 함께 본 발명에서 제안하는 구조에는 도 3의 여파기 계수 계산기(305)를 포함하고 있다. 여파기 계산기는 완전한 소프트웨어 무선 수신기를 구성하기 위해 필수적으로 필요한 요소로써 외부 네트워크로부터 수신된 지시에 따라 단말기 등의 물리 계층을 전환하기 위해 자체적인 적응 물리 계층 환경을 구성하는 시스템의 한 부분이라고 생각할 수 있다.
- <106>      본 발명에서 제안하는 설정 제어기(308)는 외부의 지시가 주어졌을 때, 선형 위상의 송신 및 수신 여파기를 설계하는 여파기 계수 계산기에 각 사양을 전달하고 이에 대해 계산된 여파기 계수를 받게 된다. 여파기 계수 계산기는 선형 최적화 방법을 기본으로 하는 계산 방법을 이용하게 된다.

<107> 선형 최적화 방법은 제한 조건이 선형 연립 방정식으로 정의되는 문제 해결하는 방법을 말하며 혼합 정수 선형 계획법(Mixed Integer Linear Programming, 이하 MILP라 함)은 해가 정수가 되어야 한다는 제한 조건이 부가된 선형 최적화 문제에서 해를 찾는 데 사용된다.

<108> 디지털 여파기의 각 계수는 2의 누승 계수의 합과 차로 이루어지므로 선형화가 가능하다. 그러나, 송신 여파기와 수신 여파기는 일반적으로 한 쌍으로 구성되어 두 여파기의 컨볼루션(convolution)이 인접 신호에 대한 간섭을 일으키지 않도록 하는 조건이 부가되어야 하므로, 본 문제는 선형문제의 해의 컨볼루션의 최적화이므로 MILP 방법과 같이 선형 최적화 문제에 대한 방법을 직접 적용 할 수 없다.

<109> 그러나 MILP는 최적해를 구할 수 있다는 장점이 있으므로 약간의 변형을 통해서 준 최적 여파기 계수를 얻는 방법을 제시한다. 본 발명에서 제안하는 방법은 두 단계의 최적화 과정으로 구성된다. 각 단계에서는 각각 송신 단 여파기와 수신 단 여파기의 설계를 위한 최적화를 수행하게 된다.

<110> 선형 위상 FIR 여파기  $g(n)$ 의 주파수 크기 응답은 아래의 [수학식 2]와 같이 표현할 수 있다.

<111>

$$G(\omega) = g\left(\frac{M}{2}\right) + \sum_{k=0}^{\frac{M}{2}-1} 2g(k) \cos \omega k$$

【수학식 2】

<112> 그리고 이 선형 방정식을 이용하여 선형 계획법에 적용하면 아래의 [수학식 3]과 같은 식을 얻을 수 있다.

&lt;113&gt;

$$\text{Min } \delta + W_{ISI} D'_{ISI}$$

$$|G_R(\omega_k) - G_d(\omega_k)| \leq W(\omega_k) \delta, \quad \omega_k = \frac{\pi k}{N_g} \quad k=1, 2, \dots, N_g$$

$$D'_{ISI} = \sum_{k=0}^{\lfloor \frac{M-1}{2L} \rfloor} |h(kL)|,$$

$$h(n) = \sum_{k=0}^n g_T(k) g_R(n-k),$$

$$G_R(\omega) = g_R\left(\frac{M}{2}\right) + \sum_{k=0}^{\frac{M}{2}-1} 2g_R(k) \cos \omega k$$

【수학식 3】

<114> 여기서,  $N_g$ 는 눈금 주파수의 개수,  $M$ 은 여파기의 차수,  $L$ 은 오버 샘플링 비율을 의미하며,  $g_T(n)$ 은 송신단 여파기의 계수,  $g_R(n)$ 은 수신단 여파기의 계수를 나타낸다.

<115> 다음 단계로 여파기 계수에 대해 정수 조건을 부가해야 하는데,  $g_R(n)$ 이 계산하고자 하는 변수이며 2의 누승 계수의 합으로 표현되므로,  $g_R(n)$ 에 대해 정수 조건이 부여된다. 계수에 대한 정수 조건을 부가하는 방법은 두 가지가 있는데, 첫 번째 방법은 아래의 [수학식 4]와 같다.

&lt;116&gt;

$$g_R(n) = \frac{a_n}{2^M}, \quad -2^N \leq a_n \leq 2^N, \quad a_n \in \mathbb{Z}$$

【수학식 4】

<117> 여기서,  $M$ 을 이진 표현을 위한 최저의 자릿수라고 한다면,  $M$ 비트로 표현되는 모든 계수는  $2^{-M}$ 의 배수가 되므로  $a_n$ 은 정수가 되어야 하고  $N$ 을 변화시킴에 따라 원하는  $g_R(n)$ 의 범위를 결정할 수 있게 된다.

<118> 두 번째 방법은 미리  $g_R(n)$ 이 가질 수 있는 값의 집합을 정하여 그 집합 내에서 유일하게 선택하는 방법을 사용할 수 있다. 이는 아래의 [수학식 5]를 통해 수식화할 수 있다.

<119>

$$\begin{aligned} S_n &= \{x | x \in \text{binary representation allowed for } g_R(n)\} = \{x_1^n, x_2^n, \dots, x_K^n\} \\ g_R(n) &= x_1^n \delta_1^n + x_2^n \delta_2^n + \dots + x_K^n \delta_K^n \\ \sum_{i=1}^K \delta_i^n &= 1, \quad \delta_i^n \in \{0, 1\} \end{aligned}$$

【수학식 5】

<120> [수학식 5]의 방법을 사용할 경우 선형 계획법 문제는 0-1 knapsack 문제가 된다. 그리고 모든 종류의 이진 표현에 대해서 적용이 가능한 장점이 있다.

<121> 그런데, [수학식 3]은  $h(n)$ 에 대한 부분이 선형 제한 조건이 아니므로 선형 계획법으로 문제를 해결할 수가 없다. 그래서 본 발명에서는  $g_T(n)$ 을 변수로 두지 않고, 연속적인 계수로 구한 여파기의 계수를 대입하게 되면  $h(n)$ 에 대한 조건이 선형 결합으로 표시되므로 선형 계획법으로 문제화된다.

<122> 따라서, [수학식 3]은 다음의 [수학식 6]과 같이 혼합 정수 선형 계획법으로 수식화가 가능하다. [수학식 6]의 해를 찾게 되면  $g_R(n)$ 의 값이 결정된다. 이후, 그 값을 [수학식 6]에 다시 대입을 하고  $g_T(n)$ 을 변수로 두고 다시 혼합 정수 선형 계획법의 해를 찾으면  $g_T(n)$ 이 결정된다. 그리고 이 과정을 계속 반복하면 최종적인 여파기의 계수를 구할 수 있다.

&lt;123&gt;

$$\text{Min } \delta + W_{ISI} D'_{ISI}$$

$$|G_R(\omega_k) - G_d(\omega_k)| \leq W(\omega_k) \delta,$$

$$\omega_k = \frac{\pi k}{N_g} \quad k = 1, 2, \dots, \Lambda$$

$$D'_{ISI} = \sum_{k=0}^{\lfloor \frac{M-1}{2L} \rfloor} |h(kL)|,$$

$$h(n) = \sum_{k=0}^n g_T(k) g_R(n-k),$$

$$G_R(\omega) = g_R\left(\frac{M}{2}\right) + \sum_{k=0}^{\frac{M}{2}-1} 2g_R(k) \cos \omega k$$

$$g_R(n) = x_1^n \delta_1^n + x_2^n \delta_2^n + \dots + x_K^n \delta_K^n$$

$$\sum_{i=0}^K \delta_i^n = 1, \quad \delta_i^n = \{0, 1\}$$

【수학식 6】

<124> 이와 같이, 본 발명의 실시예에 따른 소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법은 중간 주파수 대역을 기저 대역 주파수의 4배로 설정함으로써, 디지털 중간 주파수 혼합기의 구조를 단순화 하며, 각 통신 표준에 따라 주어진 여파기의 자원을 트렐리스 탐색을 통해 공유하는 방법을 사용함으로써 전체 하드웨어 비용을 감소시킬 수 있다.

<125> 도면과 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

- <126> 본 발명에 따른 소프트웨어 무선 시스템을 위한 디지털 여파기와 이를 구비한 디지털 중간 주파수 대역 신호 처리 장치 및 그 방법은 디지털 주파수 혼합기의 구조를 단순화할 뿐만 아니라, 전체 하드웨어 비용을 감소시킬 수 있다.
- <127> 또한, 공유가 허용되는 부분은 각 표준에 대해서 같이 사용하고 나머지 부분은 다중화기를 통해 선택할 수 있도록 하며, 전체적인 하드웨어 비용을 줄이는 방법으로 계수를 설정하므로 전체 소비 전력도 줄일 수 있다.
- <128> 또한, 자원 할당 방법으로 트렐리스 탐색을 이용하므로 설정 제어기에서 이를 소프트웨어적으로 구현하기에 용이할 뿐만 아니라, 항상 최적 해를 계산할 수 있도록 한다.
- <129> 또한, 설정 제어기는 외부 지시가 들어왔을 때 이를 통해서 직접 여파기의 계수를 계산할 수 있도록 하여 임의의 표준이 새롭게 제안되었을 때 이를 쉽게 수용할 수 있도록 하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

소프트웨어(SOFTWARE)를 통해 구동하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치에 있어서,

디지털 변환된 중간 주파수 신호가 수신되면, 상기 수신된 중간 주파수 신호를 기저 대역 신호로 변환하는 디지털 주파수 혼합기;

상기 변환된 기저 대역 신호에서 고대역 신호를 제거하도록 하는 수신단 여파기;

상기 수신단 여파기의 설정을 제어하여 다수의 통신 표준을 지원하도록 하는 수신 여파기 구성부;

상기 수신 여파기 구성부의 설정을 제어하는 설정 제어기; 및

상기 설정 제어기로부터 상기 수신단 여파기 사양과 관련된 정보가 수신되면, 상기 수신된 정보를 이용하여 상기 수신단 여파기의 계수를 계산한 후, 상기 계산된 수신단 여파기 계수를 상기 설정 제어기로 제공하는 여파기 계수 계산기

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 2】**

제1 항에 있어서,

외부로부터 수신되는 신호를 아날로그 중간 주파수 신호로 변환하는 RF 신호 처리기; 및



상기 변환된 아날로그 중간 주파수 신호를 디지털 중간 주파수 신호로 변환하여 상기 디지털 주파수 혼합기로 전달하는 아날로그-디지털 변환기

를 더 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 3】**

제2 항에 있어서,

상기 수신 여파기 구성부는,

상기 수신 여파기를 다수의 통신 표준에 따라 공통 자원은 공유하도록 하고, 그 외 추가로 소요되는 자원은 스위칭을 통해 선택할 수 있도록 설정 제어하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 4】**

제3 항에 있어서,

상기 수신 여파기 구성부는,

길이가 가장 긴 수신 여파기의 자원에 길이가 상대적으로 짧은 수신 여파기를 포함시켜 공통된 자원을 공유하도록 설정 제어하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 5】**

제4 항에 있어서,

상기 수신 여파기 구성부는,

상기 수신단 여파기를 이산 계수를 가지는 유한 응답 여파기로 설계하여 재구성이 가능하도록 하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

【청구항 6】

제5 항에 있어서,

상기 수신 여파기 구성부는,

상기 수신단 여파기의 계수들을 2의 누승항의 합과 차로 이루어지도록 하고, 공통된 계수의 쉬프트와 덧셈 자원을 공유하도록 하며, 쉬프트와 덧셈의 추가로 인한 통신 표준과는 별도로 모든 계수를 구현하도록 하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

【청구항 7】

제6 항에 있어서,

상기 수신단 여파기는,

상기 수신단 여파기의 계수를 곱셈하는 여파기 계수 곱셈기;

상기 수신단 여파기의 차수에 해당하는 레지스터;

상기 수신단 여파기의 연산을 수행하는 합산기; 및

상기 다수의 통신 표준에 대한 여파기 계수를 동시에 수용하도록 하는 다중화기

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 8】**

제7 항에 있어서,

상기 다중화기는,

상기 설정 제어기의 지시에 따라 상기 다수의 통신 표준 중에서 하나의 통신 표준에 대한 수신단 여파기 설정을 선택하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 9】**

제8 항에 있어서,

상기 수신단 여파기는,

길이가 짧은 수신단 여파기가 상기 레지스터를 사용할 필요가 없으면, 상기 다중화기를 사용하도록 하여 하드웨어를 절약하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 10】**

제2 항에 있어서,

상기 설정 제어기는,

길이가 짧은 여파기를 긴 여파기에 정합시켰을 경우, 공유되는 자원에 의한 하드웨어 절약분을 비용으로 정의하고 각 상태를 짧은 여파기가 할당될 수 있는 긴 여파기의 계수로 정의하는 트렐리스(TRELLIS)를 구성하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 11】**

제10 항에 있어서,

상기 설정 제어기는,

상기 구성된 트렐리스에 대해 자원 할당 탐색을 진행하는 경우, 자원 공유를 최대한 할 수 없는 할당 방법을 제거하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 12】**

제11 항에 있어서,

상기 설정 제어기는,

상기 구성된 트렐리스에 따른 동적 계획법을 이용하여 상기 수신단 여파기 계수의 자원을 분배하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 13】**

제12 항에 있어서,

상기 설정 제어기는,

상기 수신단 여파기가 선형 유한 응답 여파기이면, 상기 선형 유한 응답 여파기 계수의 절반은 트렐리스 탐색을 수행하며, 나머지는 탐색 결과의 거울상으로 계수를 할당하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 14】**

제2 항에 있어서,

상기 여파기 계수 계산기는,

외부로부터 상기 수신단 여파기의 사양에 관한 정보를 입력받거나 또는 해당 사양에 맞는 여파기의 계수를 계산하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 15】**

제14 항에 있어서,

상기 여파기 계수 계산기는,

상기 수신단 여파기의 각 계수의 가능한 값을 선형 결합으로 표현한 후, 상기 표현된 선형 방정식에 대해 선형 계획법으로 수신단 여파기의 계수를 계산하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 16】**

제1 항에 있어서,

상기 중간 주파수 대역은 상기 기저 대역 주파수의 4배인 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 장치.

**【청구항 17】**

디지털 중간 주파수 대역 신호 처리 장치의 디지털 여파기에 있어서,

다수의 통신 표준에 대한 여파기 계수를 동시에 수용하도록 하는 다중화기;

계수를 곱셈하는 여파기 계수 곱셈기;

차수에 해당하는 레지스터; 및

연산을 수행하는 합산기

를 포함하며,

다수의 통신 표준에 따라 공통된 자원은 공유하고, 그 외 추가로 소요되는 자원은 스위칭을 통해 선택할 수 있도록 구성되어 있는 것을 특징으로 하는 디지털 여파기.

【청구항 18】

제17 항에 있어서,

외부 입력 또는 내부의 여파기 계수 계산 처리기에 의해 해당 계수를 설정하는 것을 특징으로 하는 디지털 여파기.

【청구항 19】

소프트웨어(SOFTWARE)를 통해 구동하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법에 있어서,

a) 디지털 변환된 중간 주파수 신호가 수신되면, 상기 수신된 중간 주파수 신호를 기저 대역 신호로 변환하는 단계;

b)상기 변환된 기저 대역 신호에서 고대역 신호를 제거하는 단계;

c) 상기 b)단계를 수행하는 수신단 여파기의 설정을 제어하여 다수의 통신 표준을 지원하도록 하는 단계;

d)상기 c)단계를 수행하는 수신 여파기 구성부의 설정을 제어하는 설정 제어기로부터 상기 수신단 여파기 사양과 관련된 정보가 수신되면, 상기 수신된 정보를 이용하여 상기 수신단 여파기의 계수를 계산하는 단계; 및



e)상기 계산된 수신단 여파기 계수를 상기 설정 제어기로 제공하는 단계

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법.

**【청구항 20】**

제19 항에 있어서,

상기 c)단계는,

다수의 통신 표준에 따라 공통 자원은 공유하도록 한 후, 이후에 추가로 소요되는 자원은 스위칭을 통해 선택할 수 있도록 설정 제어하는 단계

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법.

**【청구항 21】**

제20 항에 있어서,

상기 c)단계는,

길이가 가장 긴 수신단 여파기의 자원에 길이가 상대적으로 짧은 수신단 여파기를 포함시켜 공통된 자원을 공유하도록 하는 단계

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법.

**【청구항 22】**

제21 항에 있어서,

상기 d)단계는,

길이가 짧은 수신단 여파기를 긴 여파기에 정합시켰을 경우, 공유되는 자원에 의한 하드웨어 절약분을 비용으로 정의하는 단계; 및

각 상태를 짧은 여파기가 할당될 수 있는 긴 수신단 여파기의 계수로 정의하는 트렐리스(TRELLIS)를 구성하는 단계

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법.

#### 【청구항 23】

제22 항에 있어서,

상기 d)단계는,

상기 구성된 트렐리스에 따른 동적 계획법을 이용하여 상기 수신단 여파기 계수의 자원을 분배하는 단계

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법.

#### 【청구항 24】

제23 항에 있어서,

상기 d)단계는,

외부로부터 상기 수신단 여파기의 사양에 관한 정보를 입력받는 단계; 및

상기 입력된 정보에 기초하여 상기 수신단 여파기의 계수를 계산하는 단계

를 포함하는 것을 특징으로 하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법.



## 【청구항 25】

소프트웨어(SOFTWARE)를 통해 구동하는 소프트웨어 무선 시스템의 디지털 중간 주파수 대역 신호 처리 방법을 포함하는 기록매체에 있어서,

a) 디지털 변환된 중간 주파수 신호가 수신되면, 상기 수신된 중간 주파수 신호를 기저 대역 신호로 변환하는 기능;

b)상기 변환된 기저 대역 신호에서 고대역 신호를 제거하는 기능;

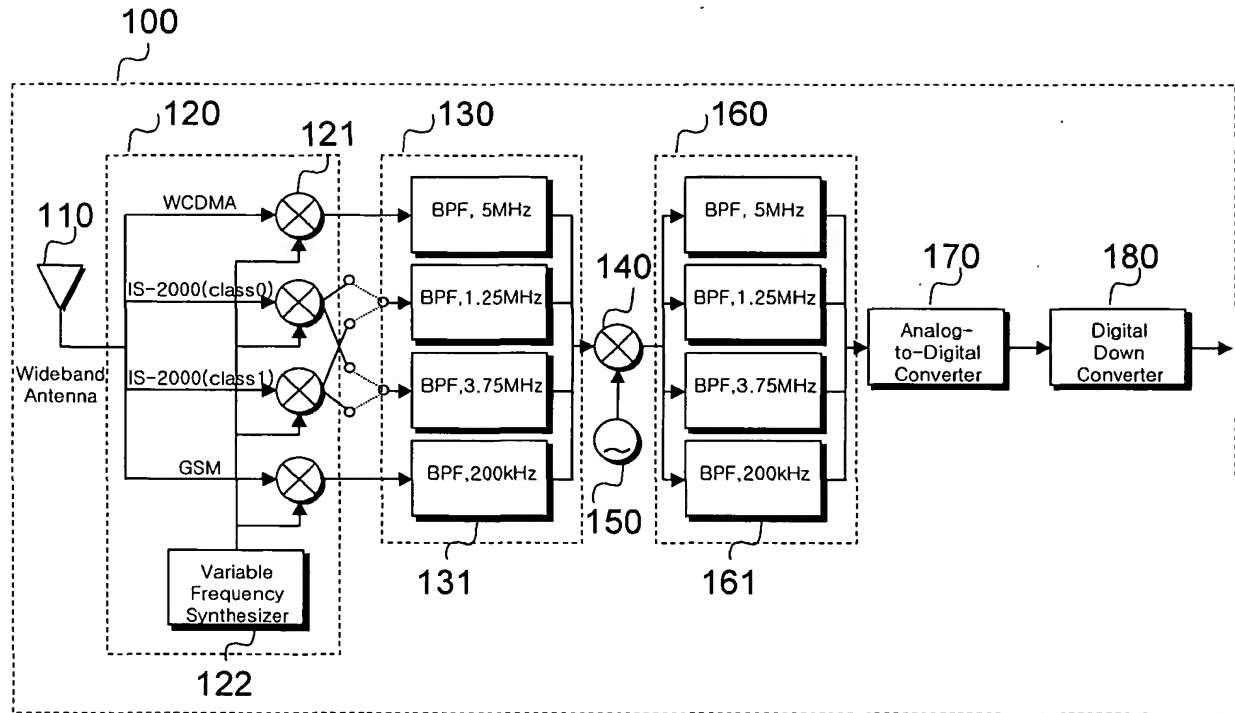
c) 상기 b)단계를 수행하는 수신단 여파기의 설정을 제어하여 다수의 통신 표준을 지원하도록 하는 기능;

d)상기 c)단계를 수행하는 수신 여파기 구성부의 설정을 제어하는 설정 제어기로부터 상기 수신단 여파기 사양과 관련된 정보가 수신되면, 상기 수신된 정보를 이용하여 상기 수신단 여파기의 계수를 계산하는 기능; 및

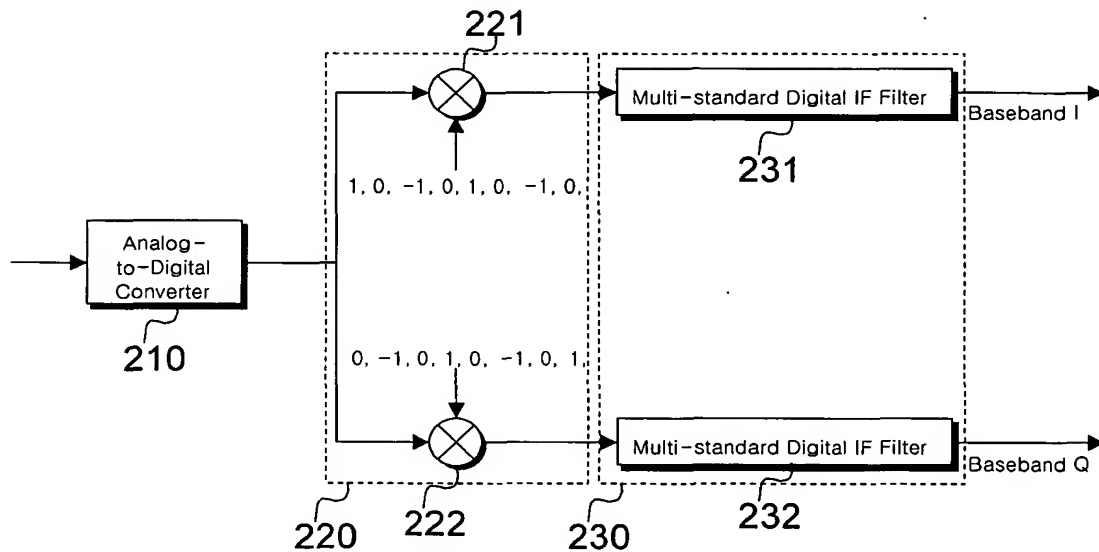
e) 상기 계산된 수신단 여파기 계수를 상기 설정 제어기로 제공하는 기능을 포함하는 프로그램이 저장된 기록매체.

## 【도면】

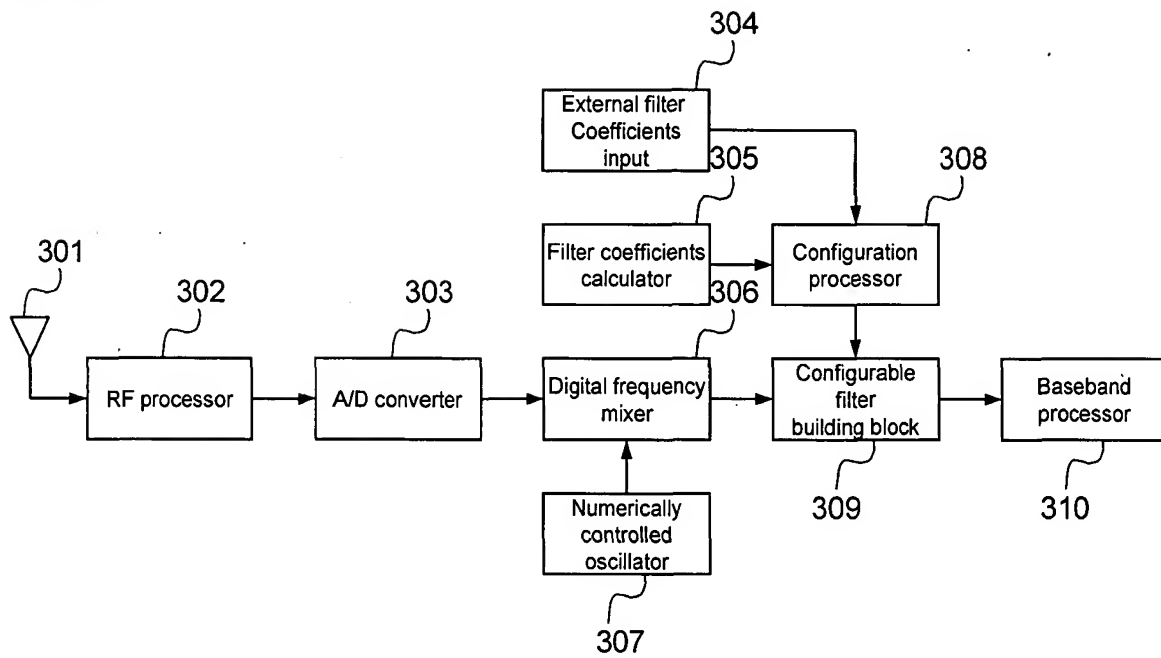
【도 1】



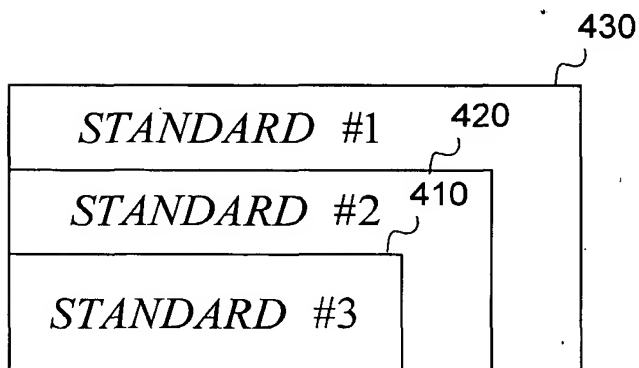
【도 2】



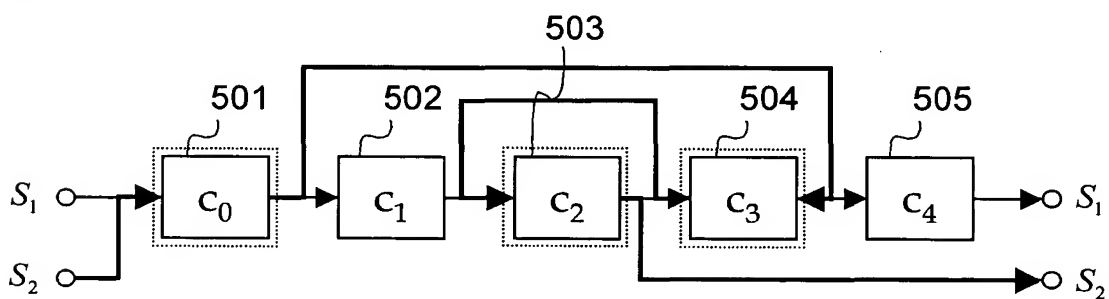
【도 3】



【도 4】



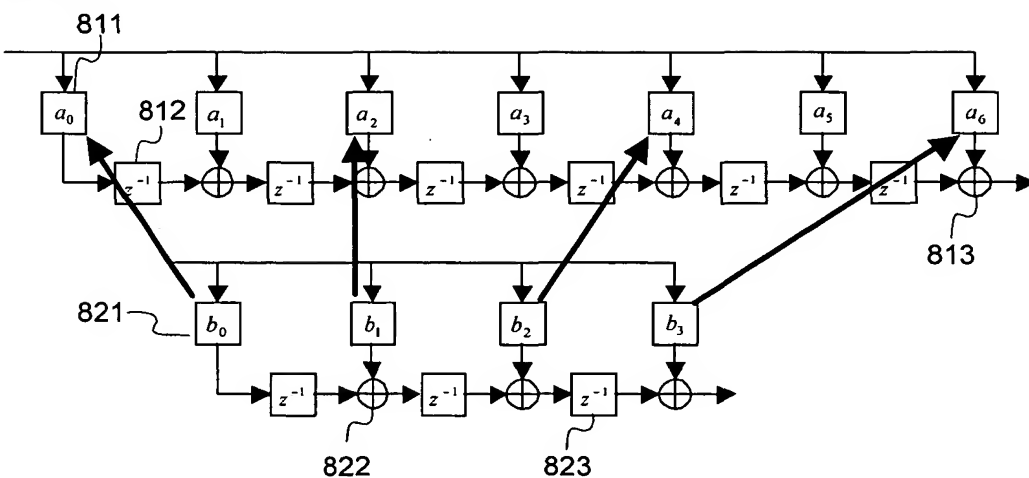
【도 5】



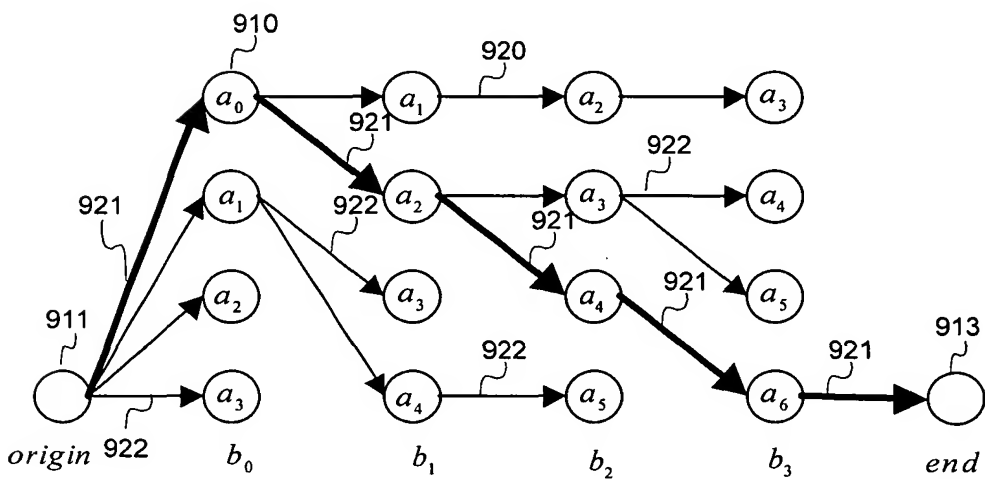
The diagram shows a parallel processing system with three parallel paths. Each path consists of a parallel combination of two blocks,  $C_{1,i}$  and  $C_{2,i}$ , followed by a summing junction and a delay block  $z^{-1}$ . The outputs of the delay blocks are summed and then passed through a final delay block. Labels 601, 602, 603, 604, 605, 606, and 607 point to various components.

Diagram 700 illustrates a directed graph structure. The graph starts at an *origin* node (701) and ends at an *end* node (703). The graph is composed of three main layers of nodes. The first layer (bottom) contains nodes  $a_0, a_1, a_2, \dots, a_{N-L}, a_{N-L+1}, a_{N-L+2}, \dots, a_{N-3}, a_{N-1}$ . The second layer (middle) contains nodes  $a_1, a_2, a_3, \dots, a_{L-1}, a_L, a_{L+1}$ . The third layer (top) contains nodes  $a_0, a_1, a_2, \dots, a_{L-2}, a_{L-1}$ . Edges connect nodes between layers, with some edges labeled 702 and 704. The graph is labeled 700.

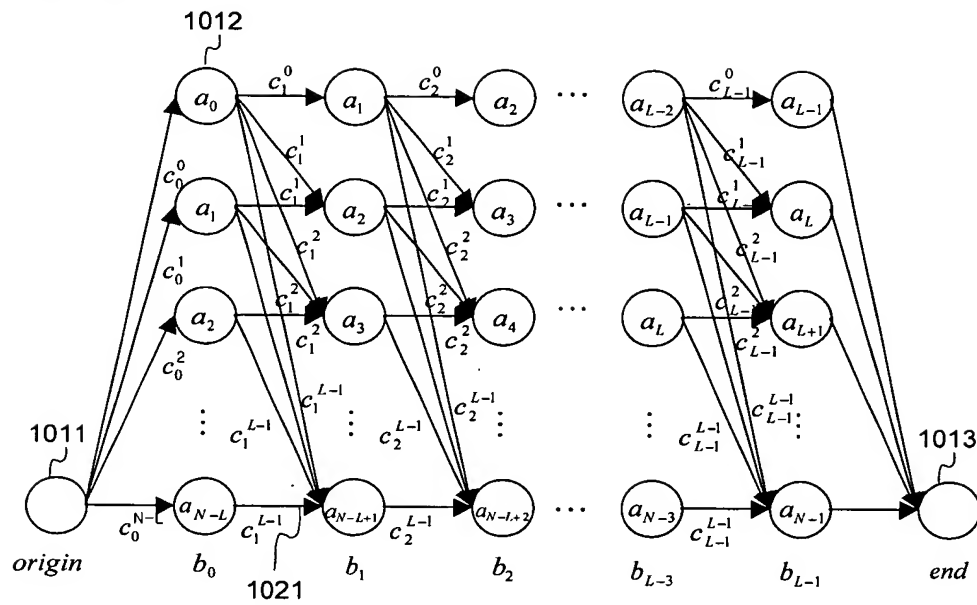
【도 8】



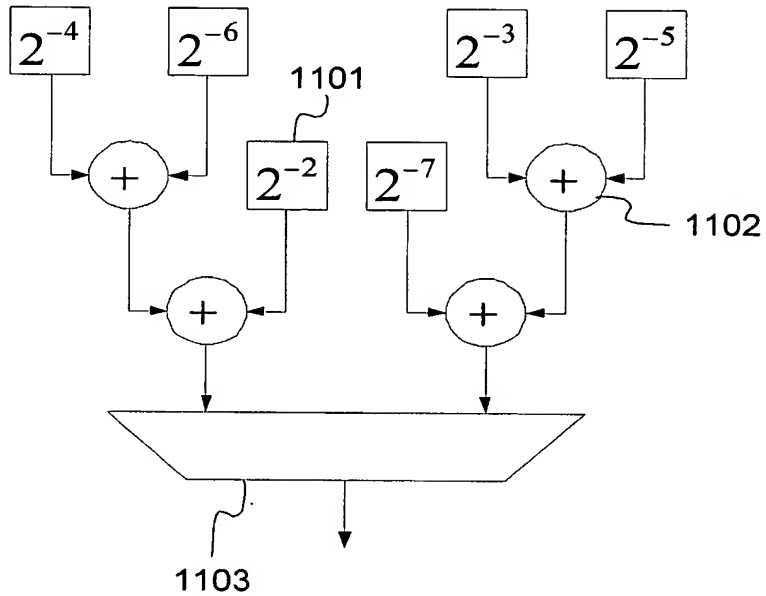
【도 9】



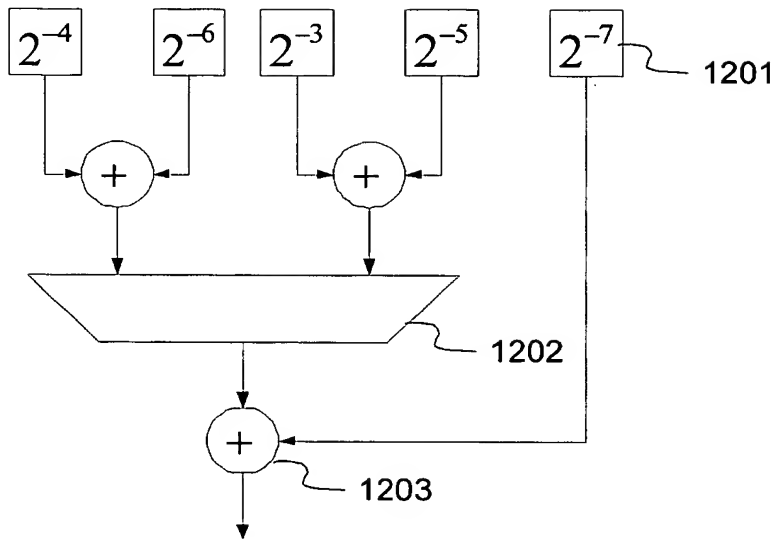
【도 10】



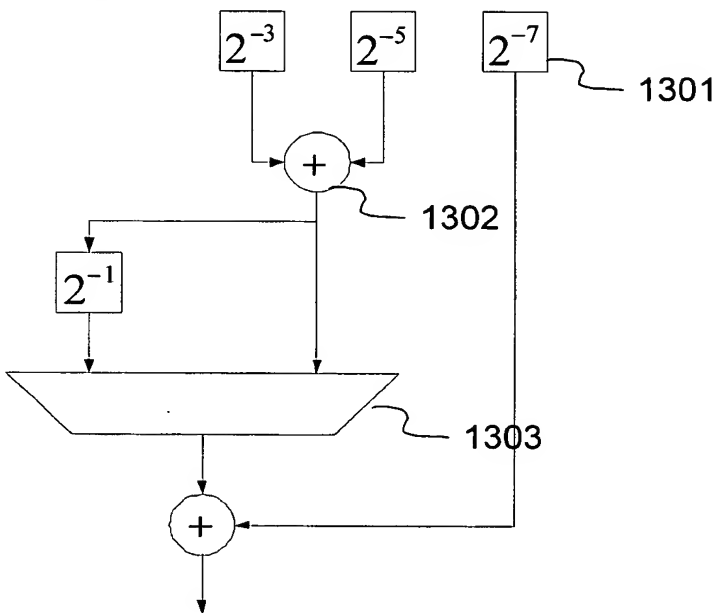
【도 11】



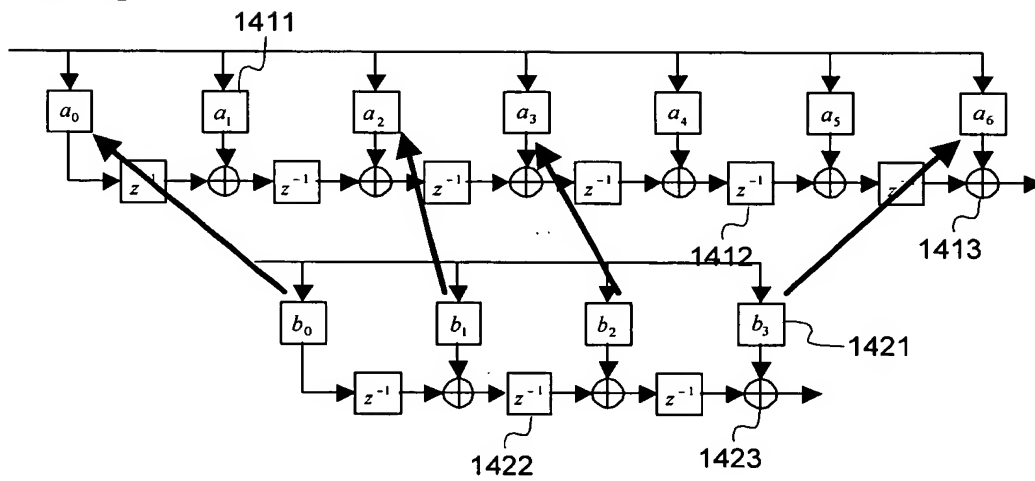
【도 12】



【도 13】



【도 14】



【도 15】

